

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

⑬日本国特許庁  
公開特許公報

⑪特許出願公開

昭54—2076

⑤Int. Cl.<sup>2</sup>  
H 01 L 29/74  
H 01 L 21/22  
H 01 L 27/00

識別記号

⑥日本分類  
99(5) F 1  
99(5) B 12  
99(5) H 0

庁内整理番号  
7021—SF  
6684—SF  
6513—SF

⑬公開 昭和54年(1979)1月9日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭半導体装置の製造方法

①特 願 昭52—66631

②出 願 昭52(1977)6月8日

⑦発 明 者 白沢敏克

日立市幸町3丁目1番1号 株  
式会社日立製作所日立研究所内  
田中知行  
日立市幸町3丁目1番1号 株  
式会社日立製作所日立研究所内

同

⑦発 明 者 平尾充

日立市幸町3丁目1番1号 株  
式会社日立製作所日立研究所内  
岡村昌弘

同

日立市幸町3丁目1番1号 株  
式会社日立製作所日立研究所内  
①出 願 人 株式会社日立製作所  
東京都千代田区丸の内一丁目5  
番1号

④代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 少なくとも1つがスイッチング素子である2以上の半導体素子と、これらの半導体素子相互の境界に形成される電気的分離領域とを有し、これらが少なくとも1つの半導体層を共有するように同一半導体内に形成されて成る半導体基体の一主表面上に、少なくとも上記分離領域上方の表面部分を除いて、所望の放射線阻止効果が得られる厚さの金属電極を選択的に形成し、上記半導体基体の上記一主表面側から上記金属電極のみをマスクとして放射線を照射し、上記分離領域の少数キャリアのライフタイムを上記金属電極下方の半導体部分におけるライフタイムよりも短くする工程を少なくとも有することを特徴とする半導体装置の製造方法。
2. 上記金属電極の厚さを、放射線が実質的に透過しないような厚さにした特許請求の範囲第1項記載の半導体装置の製造方法。

3. 放射線としてエネルギーが0.2 MeV以上の電子線を用いる特許請求の範囲第1項又は第2項記載の半導体装置の製造方法。

発明の詳細な説明

本発明は半導体装置の製造方法に係り、同一半導体基板内に形成された2以上の半導体素子を電気的に相互分離する方法に関する。

同一半導体内に2以上の独立した機能を有する半導体素子が、少なくとも1つの半導体層を共有して形成された半導体装置がある。典型的な例としては少なくとも一方がサイリスタあるいはトランジスタのようなスイッチング素子であるような複合半導体装置である。これらの半導体装置においては一方の半導体素子の蓄積キャリアが他方の半導体素子内へ両者が共有する半導体層を通じて流入し、このために半導体装置の高周波特性が悪化したりスイッチング動作が不安定になったりする欠点があった。

従来この欠点をとり除くために、2以上の半導体素子間の距離を大きくし、一方の半導体素子か

ら流出した蓄積キャリアを他方の半導体素子内へ到達する前に、分離領域内で再結合により消滅させる方法、2以上の半導体素子間に重金属、例えば金原子を導入し、これを蓄積キャリアの再結合中心として半導体素子相互を分離する方法、あるいは2以上の半導体素子間に選択的に放射線を照射し、照射によつて生じる欠陥を蓄積キャリアの再結合中心として半導体素子相互を分離する方法がそれぞれ提案されている。これらの方法によれば半導体素子間相互の分離という目的は達成されるものの、上記第1の素子間距離を大きくする方法では素子間分離が必ずしも十分でなく、分離を確実にするために分離領域を大きくすれば限られた半導体ウエハー内での通電面積が小さくなるという欠点がある。また第2の金をライフタイムキラーとする方法は上記第1の方法の欠点を解決するものとして提案されたが、金をこのような目的のために選択的に拡散させる制御は困難である。

更に金が半導体内で横方向に拡散し、半導体素子の電気特性を変化させる恐れが生じる。

これらの欠点を改善する方法として上記第3の照射によつて生じる欠陥をライフタイムキラーとする方法が最近提案されている。この方法は剥離自在のマスクを用いて2以上の半導体素子間に選択的に放射線を照射し、半導体内に照射による欠陥を導入するものである。

この方法によればライフタイムキラーの制御性が良好であり、金を拡散する方法のように横方向への悪影響がないという利点を有する。しかし、この方法では2以上の半導体素子間に選択的に照射するために別途マスクを用意する必要がある。従つて半導体装置の主表面上の所定位置にこのマスクを精密に位置合せする工程が是非とも必要になり、半導体装置を量産するときに實際上大きな障害となる。特に比較的電流量の小さい小型の半導体装置に対して上記操作を確実に実行することは、分離領域自体が極く小さくなるので大きな困難を伴う。また、放射線は人体に有害な作用を持つので、照射にあつてはしばしばベルトコンベア等を使用した遠隔操作を必要とする。この場

合、いつたん精密な位置合せをしたマスクがベルトコンベアによる運搬等の操作でずれる恐れがある。

この種の半導体装置を量産するに当つては半導体装置の電気的特性を向上させることもさることながら、製造工程を簡単確実にすることも非常に重要な要素となるのである。このような点から考えると上記の剥離自在マスクによる選択照射法は改良すべき欠点を有している。

本発明の目的は上記従来方法の欠点を改良し、2以上の半導体素子領域間の分離を良好に行ないかつ製造工程が簡単確実な半導体装置の製造方法を提供することである。

この目的を達成するために本発明の特徴とするところは、少なくとも1つがサイリスタあるいはトランジスタのようなスイッチング素子である、2つ以上の半導体素子が少なくとも1つの半導体層を共有するように同一半導体内に形成されてなる半導体基体の上記半導体素子の境界に対応する一主表面上に選択的に金属電極を形成し、この電

極のみをマスクとしてこの半導体基体の上記一主表面側から放射線、例えば電子線を照射して上記金属電極下方の半導体層における少数キャリアのライフタイムよりも上記金属電極に覆われない表面下方の半導体層における少数キャリアのライフタイムの方を短かくし、かつ上記金属電極を半導体装置の電極として上記主表面上に残すことである。

本発明方法に適用する放射線源としては制御性が良好なことで、取扱いが比較的簡便であることから電子線が好ましい。その場合、主表面上に何かのしゃへい物のない半導体基体内に再結合中心となり得る欠陥を生成させるためには電子線のエネルギーは少なくとも約0.2 MeVであることが必要である。半導体基体表面に表面安定化膜等のしゃへい物があるときにはその種類と厚さに応じてこれよりも大きいエネルギーが必要になる。

金属電極の種類及び厚さの選定には次のような配慮が必要となる。一般に電子線が物質内に透過する能力は、単位面積あたりの質量（その物質の

密度と厚さの積)によつて表わされる。従つて電子線の透過を阻止するためには電子線のエネルギー値に応じて決まる上記単位面積あたりの質量を上まわる質量を持つしやへい物が必要である。またこのような質量を持ちさえすれば物質の種類にはよらないことが明らかになっている。そこで本発明方法では放射線の透過を阻止し得るだけの密度と厚さの積を持つ金属電極を選択する必要がある。

更に、2以上の半導体系子の中に照射によつて分離領域を形成すると同時に、所望により上記半導体系子自身の電気的特性を照射によつて変化させることが必要であれば、上記金属電極の厚さを放射線を完全には阻止し得ない程度に薄くすることと達成される。このような場合に金属電極下方の半導体層に到達する放射線の強度は弱められ、その強度は照射源のエネルギー値と金属電極の密度及び厚さが決まれば求めることができる。従つて本発明方法によれば半導体系子自身の電気的特性をも制御することが可能である。

下方の半導体部分が分離領域となる。半導体基体1はこの分離領域をはさんで2個のサイリスタが逆向きに隣接するように構成されている。そしてP型層2及び5、n型層4が両者が共有する半導体層である。これらの電極接続層8、9、10及び11上にこれらとほぼ重なるように約160 $\mu$ mの厚さのハンダからなる電極81、91、101及び111が形成されている。

第2図は上記の複合半導体装置に電子線を照射する方法を示している。図においてベルトコンベア21の上部に高圧電源(図示せず)とケーブル24によつて連絡されている電子線加速装置23が配置されている。加速装置23の下部からベルトコンベア21上に向けて所定のエネルギー(本実施例においては0.5 MeV)の電子線25が照射され、ベルトコンベア21上に搬送運搬された半導体装置22が照射される。

一般にサイリスタのゲートがゲート信号に鋭敏であることは雑音による誤動作を招く恐れがあるので必ずしも好ましくない。本実施例においては

本発明方法に用いる放射線源として電子線を用いる場合に照射量は少なくとも $1 \times 10^{13}$  電子/cm<sup>2</sup>であることが必要である。これより少ない照射量では半導体中のライフタイムが十分に短縮されないで好ましくない。

次に本発明の実施例を図面を用いて説明する。第1図の本発明方法が適用される複合半導体装置において半導体基体1はP型層2と、P型層2の一方の主表面を共有するようにP型層2内部に形成されたn型層3と、P型層2の他方の主表面上に形成されたn型層4と、n型層4上に隣接して形成されたP型層5と、P型層5の主表面を共有するようにP型層5内部に形成されたn型層6及びn型ゲート層7から成る。半導体基体1の一方の主表面上にはアルミニウムの蒸着法によりゲート電極接続層8及び11、電極接続層9及び10が他方の主表面上には電極接続層12がそれぞれ20 $\mu$ mの厚さで形成されている。電極接続層9と10の間には半導体基体の表面がアルミニウムにより覆われていない領域Lがあり、この領域L

ゲート電極81及び111の近辺の半導体も照射され、その結果としてゲートの感度が弱められるような効果を生ずるのでゲート雑音によつて半導体装置が誤動作する恐れが少なくなるという利点を有する。

本実施例で照射した電子線のエネルギーは0.5 MeVである。第3図はこの電子線に対するしやへい物の単位面積あたりの質量と相対的吸収線量との関係を示している。第3図によれば約0.16 g/cm<sup>2</sup>以上の単位面積あたりの質量を有するしやへい物であれば、電子線の透過を阻止できることがわかる。本実施例の電極81ないし111として用いたハンダはSn、Pb、Agの合金であり、密度は約10 g/cm<sup>3</sup>である。従つてこのハンダで0.5 MeVの電子線の透過を阻止するためには、厚さを約160 $\mu$ m以上とすることが必要である。

第4図は本発明方法を他の複合半導体装置に適用した例を示す。半導体基体400はn型層42、n型層42とその一方の主表面を共有しn型層42内の一部に形成されたP型層41、n型層

42の他方の主表面に隣接して形成されたP型層43、P型層43とその一方の主表面を共有するようにP型層43内の一部に形成されたn型層44から成る。この半導体基体400はP型層41、n型層42、P型層43、n型層44からなるサイリスタとn型層42及びP型層43から成るダイオードが、n型層42及びP型層43を共有して逆向きに配置されている。半導体基体400の一方の主表面上にはアルミニウムのゲート電極接続層45、電極接続層46及び47が、他方の主表面上には電極接続層48がそれぞれ2.0 $\mu$ mの厚さで蒸着法により形成されている。これらの電極接続層46及び47の間には半導体基体400の表面がアルミニウムによつて覆われていない領域Lがあり、この領域Lの下方の半導体層がサイリスタとダイオードの分類領域に対応する。

これらの電極接続層45、46及び47にはほぼ重なるように約160 $\mu$ mの厚さのSn、Pb、Ag合金のハンダ箔が貼付され、不活性雰囲気中

でハンダの融点まで加熱されることによりゲート電極451、電極461及び471が形成されている。ゲート電極451上には外部との電気接続を容易にするための端子14が形成されている。端子14には、ゲート電極451の近辺の半導体が照射されて半導体装置のゲート特性が変化することを防ぐために、電子線の透過を阻止するに足る厚さの層状自在のしゃへい板13が取付けられている。このしゃへい板13は少なくともゲート電極451近辺の半導体露出部をしゃへいすればよく、精密な位置合せをする必要はない。

この半導体装置に第2図に示した方法によつてエネルギーが0.5 MeVの電子線25を照射した。その結果、半導体基体400の領域Lの下方部分のみのライフタイムが小さくなり、サイリスタ部分とダイオード部分の相互分離が達成された。

以上述べた実施例においては電子線照射後にゲート領域のしゃへい板13を取りはずすことが必要である。また第1図に示す半導体装置においてはゲート電極81及び111相互、電極91及び

101相互をそれぞれ電氣的に接続してそれぞれが一体の電極となるようにすることが、第2図に示す複合半導体装置においては電極461及び471相互を電氣的に接続して一体の電極となるようにすることが必要である。そのための具体的手段の一例は一体にすべき2つの部分を金属層で接続する方法である。他の例は一体にすべき2つの部分に同時に接触するような金属ポスト電極を配置する方法である。

第5図の本発明の更に他の実施例において半導体基体500はP型層51、P型層51とその一方の主表面を共有するようにP型層51内の一部に形成されたn型層52、P型層51の他方の主表面に形成されたn型層53、n型層に隣接して形成されたP型層54、P型層54とその一主表面を共有するようにP型層54内の一部に形成されたn型層55から成る。この半導体基体500は2個のpnpn素子がP型層51、n型層53及びP型層54を共有するように逆向きに配置された構成を有する。半導体基体500の一方の主

表面上には全面にわたつて厚さ約20 $\mu$ mのアルミニウムからなる電極接続層56及び57が蒸着法により形成されている。一方の電極接続層56上には、2個のpnpn素子の中間領域に対応する部分(図中Lで示す)を除いて、厚さが約160 $\mu$ mのSn、Pb、Agの合金で密度が約10g/cm<sup>3</sup>のハンダ電極561及び562が形成されている。

この半導体装置に第2図に示した方法によつてエネルギーが0.5 MeVの電子線25を照射した。この場合、領域Lの部分には厚さが約20 $\mu$ mのアルミニウム層があるが、アルミニウムの密度が約2.7g/cm<sup>3</sup>なのでこの層の単位面積あたりの質量は約0.0054g/cm<sup>2</sup>となる。0.5 MeVの電子線を阻止するのに必要な単位面積あたりの質量は前述のように約0.16g/cm<sup>2</sup>であるから、0.5 MeVのエネルギーを持つ電子線はこのアルミニウム層を透過し半導体基体中に欠陥を生成するのに十分である。その結果、半導体基体500の電極561及び562によつて一方の主表面が覆わ

れていない部分(図中斜線部)が2個のp-n-p-n素子の分離領域となる。

本実施例では電極561と電極562がアルミニウムの電極接続層56によつて電気的に接続されているので、上述した他の実施例のように他の手段を用いて電極同志を連絡する必要がない。

上述した各実施例ではマスク兼電極としてSn、Pb、Ag合金のハンダを用いたが、本発明方法はこれに限定されない。マスク兼電極の材料としては例えばタングステン箔を用いることが可能である。タングステンの密度は約19.1g/cm<sup>3</sup>であるので例えば0.5MeVの電子線の透過を阻止するためには厚さを約84μm以上とすることが必要である。

マスク兼電極として例えばタングステン箔を半導体基体の所定位置に接合する方法としては、まず半導体基体上の少なくとも所定位置に放射線が十分に透過する程度の薄いアルミニウム膜を例えば蒸着法によつて形成し、次に所定位置に所定の厚さのタングステン箔を貼付し、半導体装置を不

活性雰囲気中でアルミニウムの融点以上に加熱する方法が用いられる。

特に比較的小型の半導体装置に本発明方法を適用するときにはマスク兼電極として金属箔を用いず、電極接続層を例えばアルミニウムの蒸着法により選択的に形成した後、半導体基体をハンダ浴に浸すことにより、上記アルミニウムの電極接続層上にのみハンダ電極を付着形成する方法が好適である。

マスク兼電極としてハンダ箔を用いた場合には、高エネルギーの放射線を阻止するためにハンダの厚さを過大にすることは好ましくない。その理由は一般のハンダを約50μm以上の厚さで本発明方法に適用しようとする、このハンダを半導体基体に固着させるためにハンダの融点まで加熱したときにハンダ層の周縁形状が変化する恐れがあるからである。

また、上述した各実施例では放射線として電子線を用いたが、本発明方法はこれに限定されない。放射線としては例えばガンマ線を用いることが可

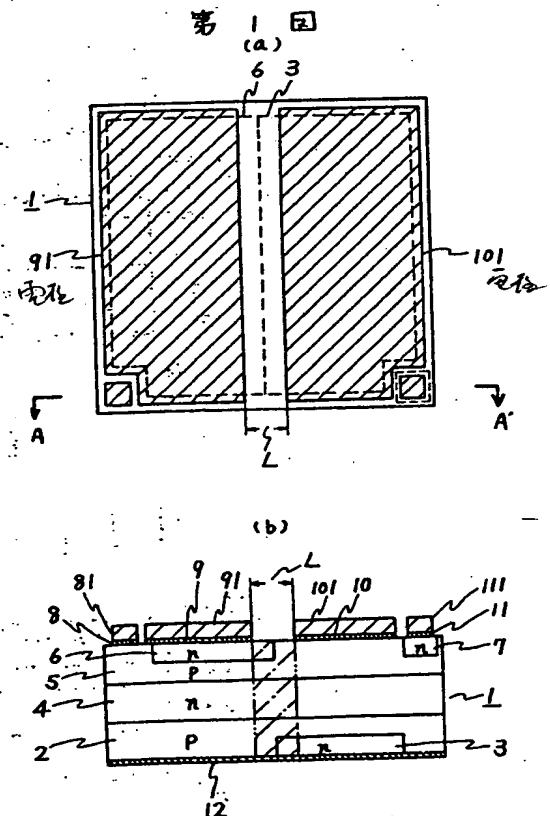
能である。

以上詳細に説明したように本発明方法によれば2以上の半導体素子間の分離を良好に行ない、かつ半導体装置の製造方法を簡単確実にするに効果がある。

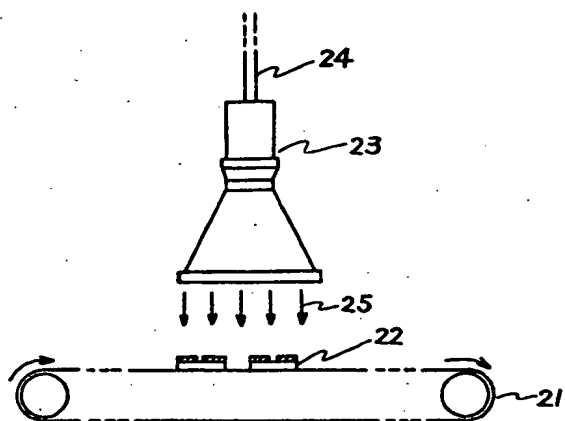
図面の簡単な説明

第1図は本発明の一実施例において用いられる半導体装置の平面図(a)及びそのA-A'断面図、第2図は本発明方法の一実施例を示す概略図、第3図は本発明方法の一実施例において用いた電子線の透過特性を示す図、第4図は本発明方法の他の実施例を示す図、第5図は本発明方法の更に他の実施例を示す図である。

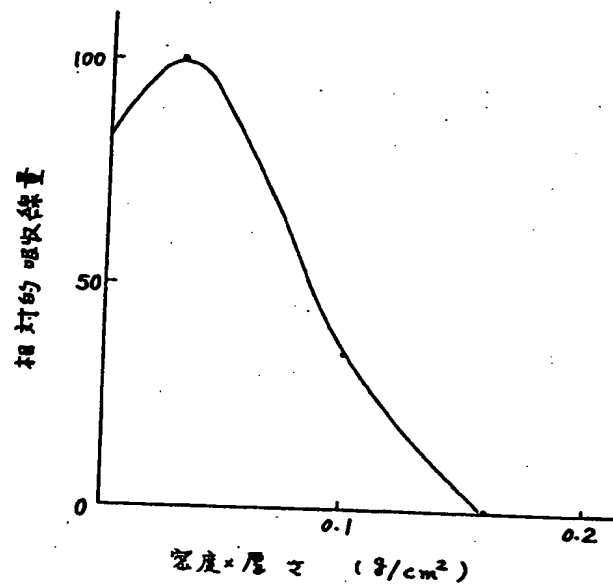
8, 11, 45...ゲート電極接続層、9, 10, 12, 46, 47, 48, 56, 57...電極接続層、81, 111, 451...ゲート電極、9-1, 10-1, 46-1, 47-1, 56-1, 57-2...電極、21...ベルトコンベア、22...半導体装置、23...電子線加速装置、24...ケーブル、25...電子線。



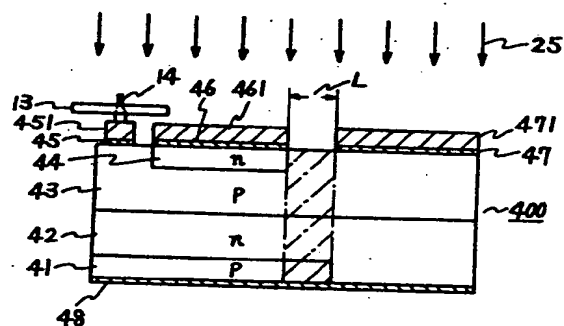
第 2 圖



第 3 圖



第 4 圖



第 5 圖

